



PATENT  
ATTORNEY DOCKET NO. 053785-5148

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Seok-Woo LEE )  
Application No.: 10/648,401 ) Group Art Unit: 2812  
Filed: August 27, 2003 ) Examiner: Not Assigned

For: METHOD OF FABRICATING TOP GATE TYPE THIN FILM TRANSISTOR HAVING  
LOW TEMPERATURE POLYSILICON

Commissioner for Patents  
Arlington, VA 22202

Sir:

**SUBMISSION OF PRIORITY DOCUMENT**

Under the provisions of 35 U.S.C. § 119, Applicants hereby claim the benefit of the filing  
date of Korean Application No. 2002-0053086, filed September 4, 2002 for the above-identified  
United States Patent Application.

In support of Applicants' claim for priority, filed herewith is one certified copy of the  
above.

Respectfully submitted,

**MORGAN, LEWIS & BOCKIUS LLP**

By:

Robert J. Goodell, Reg. No. 41,040

Dated: January 2, 2004

MORGAN, LEWIS & BOCKIUS LLP  
1111 Pennsylvania Avenue, NW  
Washington, D.C. 20004  
202-739-3000



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0053086  
Application Number

출원 년 월 일 : 2002년 09월 04일  
Date of Application SEP 04, 2002

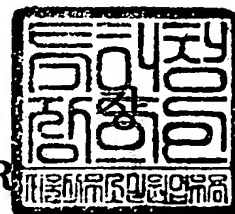
출원인 : 엘지.필립스 엘시디 주식회사  
Applicant(s) LG.PHILIPS LCD CO., LTD.



2003      년      05      월      26      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.09.04
【발명의 명칭】	다결정 실리콘 박막트랜지스터 제조방법
【발명의 영문명칭】	Method for fabricating of a poly-Si TFT
【출원인】	
【명칭】	엘지 .필립스엘시디(주)
【출원인코드】	1-1998-101865-5
【대리인】	
【성명】	정원기
【대리인코드】	9-1998-000534-2
【포괄위임등록번호】	1999-001832-7
【발명자】	
【성명의 국문표기】	이석우
【성명의 영문표기】	LEE, Seok-Woo
【주민등록번호】	700322-1496611
【우편번호】	431-050
【주소】	경기도 안양시 동안구 비산동 1102번지 관악아파트 138동 1107호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 정원기 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	300,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 다결정 실리콘으로 형성된 탑 게이트 방식의 다결정 실리콘 박막트랜지스터에 관한 것으로, 게이트 전극과 다결정 실리콘층 사이에 개재된 게이트 절연막의 제조방법과 이를 포함하는 다결정 박막트랜지스터의 제조방법에 관한 것이다.

본 발명은 진공상태의 챔버내에서 상기 다결정 실리콘층의 상부에 실리콘 산화막( $\text{SiO}_2$ )을 플라즈마 화학기상증착법(PECVD)으로 증착한 후, 낮은 진공도를 유지한 상태에서 이를 어닐링(annealing)하는 공정을 진행한다.

이와 같이 하면, 상기 게이트 절연막의 막질이 우수한 상태가 되기 때문에 캐리어를 트랩하는 트랩준위가 존재하지 않아 소자의 동작특성을 개선할 수 있다.

**【대표도】**

도 6b

**【명세서】****【발명의 명칭】**

다결정 실리콘 박막트랜지스터 제조방법{Method for fabricating of a poly-Si TFT}

**【도면의 간단한 설명】**

도 1은 일반적인 다결정 실리콘 박막트랜지스터의 단면을 도시한 도면이고,

도 2a 내지 도 2e는 다결정 실리콘 박막트랜지스터 제조공정을 종래의 공정 순서에 따라 도시한 공정 단면도이고,

도 3은 실리콘 절연막의 전류 특성을 나타낸 그래프이고,

도 4는 본 발명에 따라 제작된 실리콘 절연막의 전압대 캐패시턴스(V-C)특성을 나타낸 그래프이고,

도 5는 본 발명에 따라 제작된 실리콘 절연막의 절연파괴특성을 나타낸 그래프이고,

도 6a 내지 도 6e는 다결정 실리콘 박막트랜지스터의 제조공정을 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.

**<도면의 주요 부분에 대한 부호의 설명>**

100 : 기판

102 : 버퍼층

106 : 액티브층

108 : 게이트 절연막

## 110 : 게이트 전극

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> ... 본 발명은 박막트랜지스터에 관한 것으로 특히, 다결정 실리콘 박막트랜지스터의 제조방법에 관한 것이다.
- <12> 일반적으로, 실리콘은 결정상태에 따라 비정질 실리콘(amorphous silicon)과 결정질 실리콘(crystalline silicon)으로 나눌 수 있다.
- <13> 비정질 실리콘은 낮은 온도에서 증착하여 박막(thin film)을 형성하는 것이 가능하며, 주로 낮은 용융점을 가지는 유리를 기판으로 사용하는 액정패널(liquid crystal panel)의 스위칭 소자(switching device)에 많이 사용한다.
- <14> 그러나, 상기 비정질 실리콘 박막은 액정패널 구동소자의 전기적 특성과 신뢰성 저하 및 표시소자 대면적화에 어려움이 있다.
- <15> 대면적, 고정세 및 패널 영상구동회로, 일체형 랩탑컴퓨터(laptop computer), 벽걸이 TV용 액정표시소자의 상용화는 우수한 전기적 특성(예를 들면 높은 전계효과 이동도와 고주파 동작특성 및 낮은 누설전류(leakage current))의 화소 구동소자를 요구하며 이는 고품위 다결정 실리콘(poly crystalline silicon)의 응용을 요구하고 있다.
- <16> 특히, 저온 다결정 실리콘 박막트랜지스터(LTPS TFT)는 시스템 일체형 기판에서는 폭넓은 관심의 대상이 되고 있다.

- <17>       상기 저온 다결정 실리콘 박막트랜지스터의 동작특성을 개선하는 것은 시스템 일체형 패널에서는 매우 중요한데 이러한 궁극적인 목적을 위해, 액티브 매트릭스형 액정표시장치에 상기 저온 다결정 실리콘 박막트랜지스터가 적용되고 있다.
- <18>       이때, 게이트 절연막의 품질을 개선하는 것은 저온 다결정 실리콘 박막트랜지스터의 동작특성을 개선하기 위한 하나의 중요한 이슈가 되고 있다.
- <19>       이하, 도 1을 참조하여 저온 다결정 실리콘의 박막트랜지스터의 구성을 설명한다.
- <20>       도 1은 일반적인 저온 다결정 실리콘 박막트랜지스터의 구성을 도시한 단면도이다.
- <21>       도시한 바와 같이, 저온 다결정 실리콘(poly silicon)박막트랜지스터(T)의 일반적인 구조는 게이트 전극(12)이 액티브층의 상부에 구성된 탑게이트 방식을 채택하게 된다.
- <22>       왜냐하면, 상기 액티브층(16)을 다결정 실리콘으로 형성하는 공정 중 기판(10)에 열이 가해지기 때문에 이러한 열에 의해 금속전극들이 좋지 않은 영향을 받지 않도록 하기 위해서이다.
- <23>       따라서, 다결정 실리콘으로 형성된 액티브층(16)이 먼저 형성되고, 액티브층(16)의 상부에 게이트 전극(20)이 형성된다.
- <24>       상기 액티브층(16)과 게이트 전극(20)사이에는 실리콘 절연막(18)이 개재된다.
- <25>       이때, 상기 게이트 전극(20)은 액티브층(16)의 제 1 액티브영역(16a)에 대응하여 구성되고, 액티브 영역(16a)양측의 오믹 영역(16b)은 각각 소스 전극(28)과 드레인 전극(30)이 접촉하도록 구성한다.

- <26> 이하, 도 2a 내지 도 2e를 참조하여 종래에 따른 저온 다결정 실리콘 박막트랜지스터의 제조방법을 설명한다.
- <27> 도 2a 내지 도 2e는 종래에 따른 저온 다결정 실리콘 박막트랜지스터의 제조방법을 공정 순서에 따라 도시한 공정 단면도이다.
- <28> 먼저, 도 2a에 도시한 바와 같이, 기판(10)상에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )을 포함한 실리콘 절연물질 그룹 중 선택된 하나를 증착하여, 버퍼층(12)을 형성한다.
- <29> 상기 버퍼층(12)은 이후 진행되는 실리콘 결정화 공정 중 가해진 열에 의해 기판(10)의 내부에서 알칼리 물질의 용출을 방지하기 위함이다.
- <30> 연속하여, 상기 버퍼층(12)의 상부에 비정질 실리콘(a-Si:H)을 증착하여 비정질 선행막(14)을 형성한 후, 대표적인 저온 다결정 방법인 레이저를 이용하여 결정화한다.
- <31> 상기 레이저 결정화 방법에도 현재 사용되고 있는 모든 저온 결정화 방법을 모두 사용 할 수 있다.
- <32> 도 2b에 도시한 바와 같이, 상기 다결정 실리콘층을 패터닝하여 아일랜드 형상의 액티브층(16)을 형성한다.
- <33> 상기 액티브층(16)은 제 1 액티브 영역(16a)과, 제 2 액티브 영역(16b)으로 정의된다.
- <34> 연속하여, 상기 액티브층(16)의 상부에 산화 실리콘( $\text{SiO}_2$ )을 플라즈마화학기상 증착법(PECVD)으로 증착하여 실리콘 산화막인 게이트 절연막(18)을 형성한다.



- <35> 도 2c에 도시한 바와 같이, 상기 제 1 액티브 영역(16a)상부의 게이트 절연막(12)상에 게이트 전극(20)을 형성한다.
- <36> 연속하여, 상기 제 2 액티브 영역(16b)에 저항성 접촉영역 오믹 콘택영역을 형성하기 위해 p+ 불순물 이온(예를 들면; boron)을 도핑 한다.
- <37> 상기 게이트 전극(20)은 상기 제 1 액티브 영역(16a)에 도펀트가 침투하는 것을 방지하는 이온 스타퍼(Ion-stopper)의 역할을 하게 된다.
- <38> 이때, 상기 게이트 절연막(18)은 그대로 남겨 둘 수도 있고 도시하는 바와 같이 게이트 전극(20)의 하부에만 남길 수도 있다.
- <39> 도 2d에 도시한 바와 같이, 상기 게이트 전극(20)이 형성된 기판(10)의 전면에 제 3 절연막인 층간 절연막(22)을 형성한다.
- <40> 연속하여, 상기 제 2 액티브 영역(16a)상부의 층간 절연막(22)을 식각하여, 상기 제 1 액티브 영역(16a)의 양측으로 각각 제 2 액티브 영역(16b)의 일부를 노출하는 제 1 콘택홀(24)과 제 2 콘택홀(26)을 형성한다.
- <41> 도 2에 도시한 바와 같이, 상기 노출된 제 2 액티브 영역(16b)과 각각 접촉하는 소스 전극(28)과 드레인 전극(30)을 형성한다.
- <42> 전술한 바와 같은 공정을 통해 종래의 저온 다결정 실리콘 박막트랜지스터를 제작할 수 있다.

**【발명이 이루고자 하는 기술적 과제】**

- <43> 그러나, 종래의 저온 다결정 실리콘 박막트랜지스터 제조 공정 중 상기 게이트 절연막(실리콘 산화막)을 증착한 후 연속하여, 이것의 상부에 게이트 전극을 형성하게 된다.
- <44> 이때, 상기 게이트 절연막은 막질이 치밀하지 않기 때문에 전자를 트랩 할 수 있는 트랩준위가 존재하게 되고 FN 스트레스(Fowler-Nordheim stress)에 대한 저항력이 작아 소자의 동작특성을 저하하는 문제가 발생한다.
- <45> 상기 FN 스트레스에 대해 이하 도 3의 그래프를 참조하여 간략히 설명한다.
- <46> 도 3은 MOS(metal-oxide-silicon)를 제작하여 인가된 게이트 전압에 따른 게이트 전류 밀도에 대한 실리콘 절연막의 전류 특성을 알아본 그래프이다.
- <47> 그래프에서 보이는 바와 같이, 제작된 MOS에 게이트 전압을 인가함에 따라 실리콘 절연막에 가해지는 전류밀도의 성분은 3가지로 나뉘어진다.
- <48> 즉, 누설전류 영역(metal quality dependent area), 실리콘 절연막의 고유한 전류 메카니즘인 FN 터널링 영역, 절연파괴 영역(break down)이 그것이다.
- <49> 실리콘 절연막을 통한 전류는 위의 첫째영역과 둘째 영역인 누설전류와 FN 전류성분이 합해져서 나타나게 되며 그 중 큰 값이 나타나게 된다.
- <50> 따라서, 실리콘 절연막의 막질을 테스트하기 위한 방법으로 상기 FN 영역대에 해당하는 전류를 지속적으로 흘려주게 된다.(물론 FN 영역대의 전압을 인가하는 방법을 사용하기도 한다.) 이러한 행위를 FN 스트레스를 인가한다고 표현한다.

- <51> 이와 같이 일정한 전류를 실리콘 절연막에 지속적으로 인가하는 스트레스에 의해 실리콘 절연막이 파괴되는 시점을 알아봄으로서 실리콘 절연막의 막질을 평가하게 된다.
- <52> 이러한 절연파괴 특성값(charge to breakdown)은 "전류 밀도 \* 시간"으로 계산하는 방법을 사용한다.
- <53> 이러한 값이 크면 클수록 실리콘 절연막의 막질은 우수하다 할 수 있다.
- <54> 종래에 따라 제작된 박막트랜지스터 소자는 이에 포함되는 실리콘 절연막의 특성이 앞서 설명한 FN 스트레스에 대해 좋지 않은 특성을 보인다.
- <55> 따라서, 본 발명은 실리콘 산화막의 막질이 우수하지 않아 소자에 나쁜 영향을 미치는 문제를 해결하기 위한 목적으로 제안된 것으로, 상기 게이트 절연막을 증착하고 어닐링 하는 공정에서, 진공 챔버내의 진공상태를 500mTorr정도로 유지한 상태에서 고온의 열을 가한다.
- <56> 이와 같이 하면, 치밀한 막질을 가지는 게이트 절연막을 얻을 수 있으므로 신뢰성을 가지는 저온 다결정 실리콘 박막트랜지스터를 얻을 수 있다.

#### 【발명의 구성 및 작용】

- <57> 전술한 바와 같은 목적을 달성하기 위한 본 발명에 따른 다결정 실리콘 박막트랜지스터 제조방법은 기판 상에 비정질 실리콘 선행막을 형성한 후 다결정 실리콘으로 형성하는 단계와; 상기 다결정 실리콘을 패터하여 액티브층을 형성하는 단계와; 소정의 분위기가스가 존재하는 진공 챔버내에서 상기 액티브층이 형성된 기판의 전면에 실리콘 산화막을 증착하는 단계와; 상기 진공 챔버내의 진공도를 낮추어 상기 증착된 실리콘 산화

막에 열을 가하여 실리콘 절연막을 형성하는 단계와; 상기 실리콘 절연막 상부의 액티브층 상부에 게이트 전극을 형성하는 단계와; 상기 게이트 전극이 위치하지 않은 액티브층의 양측에 불순물 이온을 도핑하여 오믹 영역을 형성하는 단계와; 상기 게이트 전극이 형성된 기판의 전면에 제 2 절연막을 형성한 후 상기 오믹 영역을 각각 노출하는 단계와; 상기 노출된 오믹 영역과 접촉하고 서로 이격된 소스 전극과 드레인 전극을 형성하는 단계를 포함한다.

- <58>       상기 증착된 실리콘 산화막에 가해지는 온도는  $400^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 이다.
- <59>       상기 진공챔버내의 낮아진 진공도는 480mTorr ~500mTorr의 범위내에서 이루어진다.
- <60>       상기 실리콘 산화막을 증착하는 방법은 PECVD인 것을 특징으로 한다.
- <61>       상기 진공챔버내에 존재하는 분위기 가스는 질소( $\text{N}_2$ )와 수소( $\text{H}_2$ )와 이산화질소( $\text{N}_2\text{O}$ )와 산화질소 중 선택된 하나이다.
- <62> -- 실시예 --
- <63>       본 발명의 특징은 다결정 실리콘 박막트랜지스터를 구성하는 게이트 전극과 다결정 액티브층 사이에 개재된 절연막의 막질을 개선하는 것이다.
- <64>       이를 위해, 진공 챔버내에서 기판에 실리콘 산화막을 증착한 후, 500mTorr정도의 낮은 진공상태를 유지하면서 이를 약  $500^{\circ}\text{C}$ 이하의 온도에서 어닐링 하는 공정을 진행한다.
- <65>       이와 같이하면 실리콘 절연막의 막질이 개선되는 것이 현저하게 관찰된다.

- <66> 이하, 도 4 내지 도 5를 참조하여 설명한다.
- <67> 도 4는 일반적인 증착 공정을 통해 제작된 실리콘 산화막(A1,A2)과 본 발명에 따라 제작된 실리콘 산화막(B1,B2)의 C-V(캐패시턴스-전압) 특성을 알아본 그래프이다.
- <68> 이때, A1과 B1은 초기 상태의 시편이고, A2와 B2는 앞서 설명한 FN 영역대의 전류를 지속적으로 인가한 상태의 시편이다.
- <69> 도시한 바와 같이, FN 스트레스를 지속적으로 인가하게 되면, 일반적인 증착특성을 가진 시편은 초기 상태(A1)에 비해 스트레스를 지속적으로 인가 받은 시편(A2)의 C-V 특성곡선이 심각하게 외곡된 형태로 음의 방향으로 이동한 것을 관찰 할 수 있다.
- <70> 이러한 C-V 특성 곡선은 실리콘 절연막 내에서의 홀 트랩핑에 의한 것이다.
- <71> 즉, 실리콘 절연막의 막질이 치밀하지 않아 막의 표면에 수많은 트랩 준위가 존재하게 된다.
- <72> P형 다결정 실리콘 박막트랜지스터의 경우, 캐리어인 홀을 트랩하여 소자의 동작 특성을 저하하는 원인이 된다.
- <73> 그러나, 본 발명에 따라 증착된 실리콘 절연막(B2)에서는 이러한 C-V 특성 곡선의 음의 이동방향과, 곡선의 외곡 등이 감소하는 결과를 얻을 수 있다.
- <74> 이를 통해, 본 발명에 따라 제작된 시편의 막질이 종래에 비해 개선되었음을 알 수 있다.
- <75> 이하, 도 5는 본 발명에 따라 제작된 실리콘 절연막의 절연파괴특성("Q<sub>bd</sub>"특성이라 칭함)을 나타낸 그래프이다.(지속적으로 인가된 전류값은  $-25.5\mu\text{A}/\text{cm}^2$ )

- <76> 도시한 바와 같이, 일반적인 증착공정을 통해 제작된 시편(A2)은 본 발명에 따라 제작된 시편(B2)에 비해 동일한 누적값(cummulative probability(%))에 대해  $Q_{bd}$ 값이 크을 알 수 있다.
- <77> 이와 같은 결과는 삽입된 그래프를 통해 설명될 수 있다.
- <78> 삽입된 그래프는  $(- )1.27\mu A/cm^2$ 값의 전류를 유지하기 위한 게이트 전압값의 변화를 시간에 따라 나타낸 그래프이다.
- <79> 즉, 상기 게이트 전압의 변화는 차지 트랩핑에 의한 것이며, 시간이 경과함에 따라 본 발명에 따라 제작된 실리콘 절연막(B2)에 비해 일반적인 증착공정을 거쳐 제작된 실리콘 절연막(A2)의 곡선 변화가 더 심함을 알 수 있다.
- <80> 이러한 결과로, 실리콘 절연막의 막질은 차지 트랩핑 특성에 의존함을 알 수있고, 본 발명에 따라 제작된 실리콘 절연막(B2)의 막질이 지속적인 전류인가 상태에서도 감소된 차지 트랩핑에 의해 획기적으로 개선되었음을 알 수 있다.
- <81> 즉, 차지 트랩핑 특성이 본원 발명에 따라 제작된 실리콘 절연막은 기존에 비해 현저히 낮음을 알 수 있다.
- <82> 위의 실험을 통해, 본원 발명에 따라 제작된 실리콘 산화막(B2)의 막질이 우수하다는 것이 입증되었다.
- <83> 이하, 도 6a 내지 도 6e를 참조하여, 전술한 바와 같이 제작된 실리콘 절연막을 포함하는 다결정 실리콘 박막트랜지스터의 제조공정을 설명한다.
- <84> 도 6a 내지 도 6e는 다결정 실리콘 박막트랜지스터의 제조공정을 본 발명의 공정 순서에 따라 도시한 공정 단면도이다.

- <85> 먼저, 도 6a에 도시한 바와 같이, 기판(100)상에 질화 실리콘( $\text{SiN}_x$ )과 산화 실리콘( $\text{SiO}_2$ )을 포함한 실리콘 절연물질 그룹 중 선택된 하나를 증착하여 버퍼층(102)을 형성한다.
- <86> 상기 버퍼층(102)은 가해진 열에 의해 기판(100)의 내부에서 알칼리 물질의 용출을 방지하기 위함이다.
- <87> 연속하여, 상기 버퍼층(102)의 상부에 비정질 실리콘(a-Si:H)을 증착하여 비정질 선행막(104)을 형성한 후, 대표적인 저온 다결정 방법인 레이저를 이용하여 결정화한다.
- <88> 상기 레이저 결정화 방법에도 현재 사용되고 있는 모든 저온 결정화 방법을 모두 사용 할 수 있다.
- <89> 도 6b에 도시한 바와 같이, 상기 다결정 실리콘층을 패터하여 아일랜드 형상의 액티브층(108)을 형성한다.
- <90> 상기 액티브층은 제 1 액티브 영역(108a)과, 제 2 액티브 영역(108b)으로 정의된다.
- <91> 연속하여, 상기 액티브층(108)의 상부에 산화 실리콘( $\text{SiO}_2$ )을 증착하여 실리콘 절연막(110)을 형성한다.
- <92> 상기 실리콘 절연막(110)은 진공 챔버내에서 실리콘 산화막( $\text{SiO}_2$ )을 플라즈마 화학 기상 증착법(CVD)을 이용하여 증착한 후, 진공 챔버내의 진공상태를 500mTorr 정도 (480mTorr~520mTorr)로 유지한 상태에서 열( $400^\circ\text{C}$ ~ $600^\circ\text{C}$ )을 가하여 어닐링(annealing)을 진행함으로써 형성한다.

- <93> 이때, 상기 진공 챔버내의 분위기 가스로 질소( $N_2$ ), 수소( $H_2$ ), 산소( $O_2$ ), 이산화 질소( $N_2O$ ), 산화질소( $NO$ )를 사용할 수 있다.
- <94> 바람직하게는 수소( $H_2$ )분위기에서 어닐링 하는 공정을 진행하게 되면 게이트 절연막(110)의 막질이 더욱 치밀해 질 수 있다.
- <95> 일반적으로, 상기 어닐링 온도는 게이트 절연막의 증착 온도보다는 높아야 한다.
- <96> 다음으로, 도 6c에 도시한 바와 같이, 상기 제 1 액티브 영역 상부의 게이트 절연막(110) 상에 게이트 전극(112)을 형성한다.
- <97> 연속하여, 상기 제 2 액티브 영역(108b)에 저항성 접촉층을 형성하기 위해 p+ 불순물 이온(예를 들면; boron)을 도핑 한다.
- <98> 이 때, 상기 게이트 전극(112)은 상기 제 1 액티브 영역(108a)에 도펀트가 침투하는 것을 방지하는 이온 스타퍼(Ion-stopper)의 역할을 하게 된다.
- <99> 도 6d에 도시한 바와 같이, 상기 게이트 전극(112)이 형성된 기판(100)의 전면에 제 3 절연막인 층간 절연막(114)을 형성한다.
- <100> 연속하여, 상기 제 2 액티브 영역(106b)상부의 층간 절연막(114)을 식각하여, 상기 제 1 액티브 영역(108a)의 양측의 제 2 액티브 영역(108b)의 일부를 각각 노출하는 제 1 콘택홀(116)과 제 2 콘택홀(118)을 형성한다.
- <101> 도 6e에 도시한 바와 같이, 상기 노출된 제 2 액티브 영역(108b)과 각각 접촉하는 소스 전극(120)과 드레인 전극(122)을 형성한다.



<102>        전술한 바와 같은 공정을 통해 본 발명에 따른 저온 다결정 실리콘 박막트랜지스터를 제작할 수 있다.

**【발명의 효과】**

<103>        따라서, 본 발명에 따른 방법으로 저온 다결정 실리콘을 제작하게 되면 전자를 트랩하는 트랩준위가 존재하지 않게 되고, FN 스트레스에 대한 저항력이 강해져 동작특성이 개선되고 신뢰성 있는 소자를 제작할 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 상에 비정질 실리콘 선행막을 형성한 후 다결정 실리콘으로 형성하는 단계와;

상기 다결정 실리콘을 패틴하여 액티브층을 형성하는 단계와;

소정의 분위기 가스가 존재하는 진공 챔버내에서 상기 액티브층이 형성된 기판의 전면에 실리콘 산화막을 증착하는 단계와;

상기 진공 챔버내의 진공도를 낮추어 상기 증착된 실리콘 산화막에 열을 가하여 실리콘 절연막을 형성하는 단계와;

상기 실리콘 절연막 상부의 액티브층 상부에 게이트 전극을 형성하는 단계와;

상기 게이트 전극이 위치하지 않은 액티브층의 양측에 불순물 이온을 도핑하여 오믹 영역을 형성하는 단계와;

상기 게이트 전극이 형성된 기판의 전면에 제 2 절연막을 형성한 후 상기 오믹 영역을 각각 노출하는 단계와;

상기 노출된 오믹 영역과 접촉하고 서로 이격된 소스 전극과 드레인 전극을 형성하는 단계

를 포함하는 다결정 실리콘 박막트랜지스터 제조방법.

**【청구항 2】**

제 1 항에 있어서,

상기 증착된 실리콘 산화막에 가해지는 온도는  $400^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 인 다결정 실리콘 박막 트랜지스터 제조방법.

**【청구항 3】**

제 1 항에 있어서,

상기 진공챔버내의 낮아진 진공도는 480mTorr ~500mTorr인 다결정 실리콘 박막 트랜지스터 제조방법.

**【청구항 4】**

제 1 항에 있어서,

상기 실리콘 산화막을 증착하는 방법은 PECVD인 다결정 실리콘 박막 트랜지스터 제조방법.

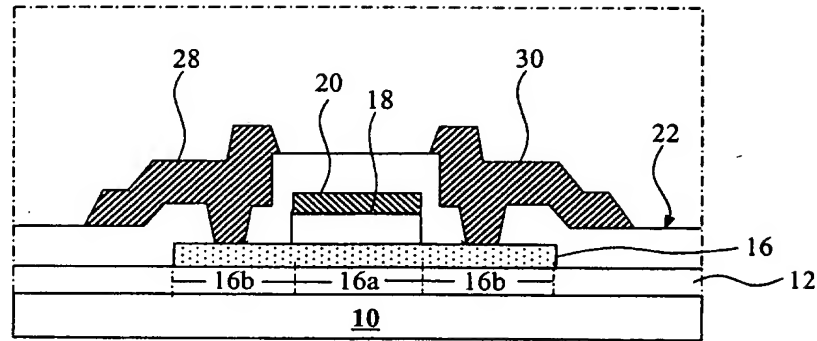
**【청구항 5】**

제 1 항에 있어서,

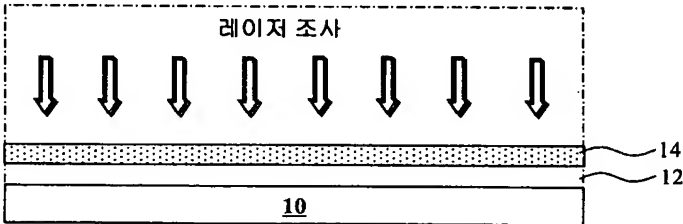
상기 진공챔버내에 존재하는 분위기 가스는 질소( $\text{N}_2$ )와 수소( $\text{H}_2$ )와 이산화질소( $\text{N}_2\text{O}$ )와 산화질소 중 선택된 하나인 다결정 실리콘 박막 트랜지스터 제조방법.

【도면】

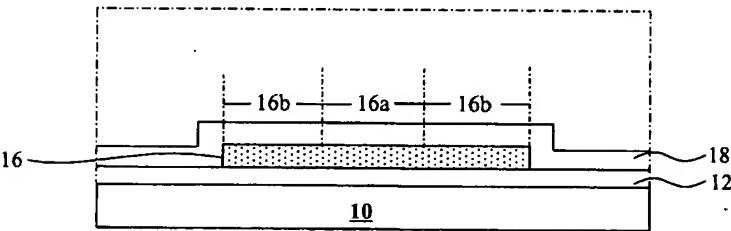
【도 1】



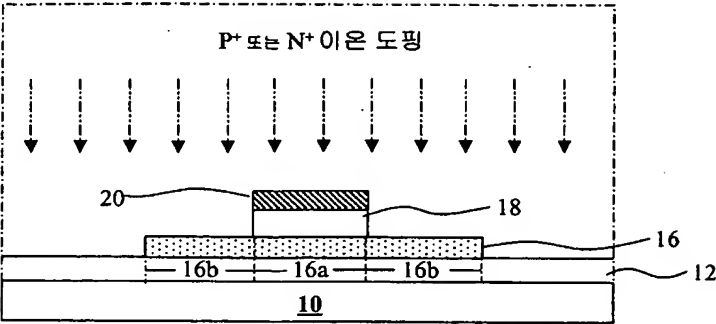
【도 2a】



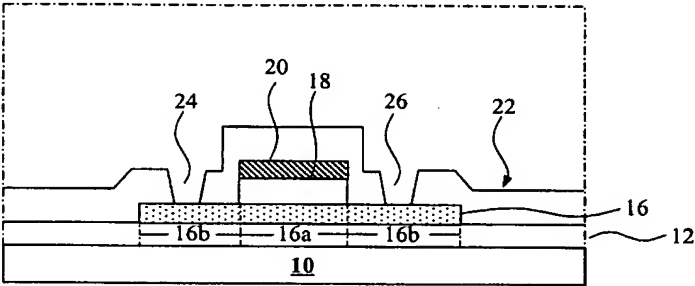
【도 2b】



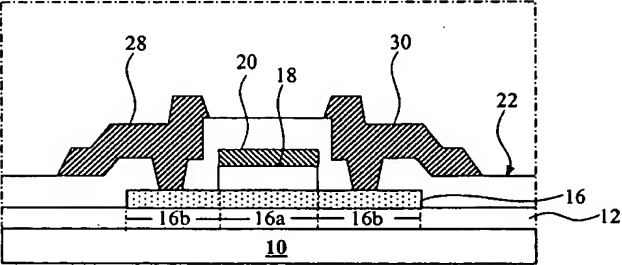
【도 2c】



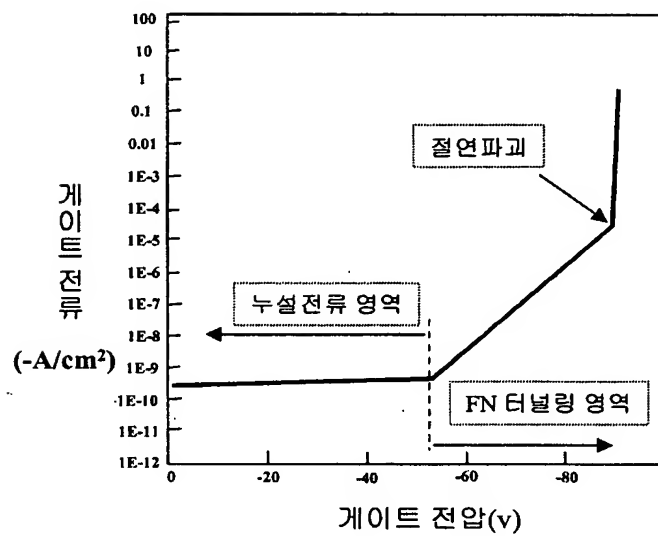
【도 2d】



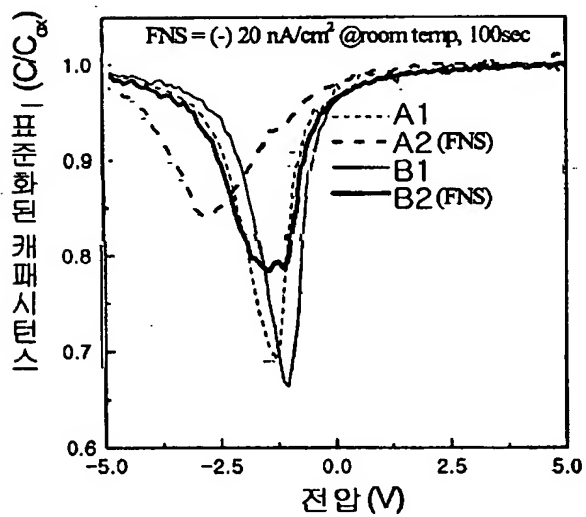
【도 2e】



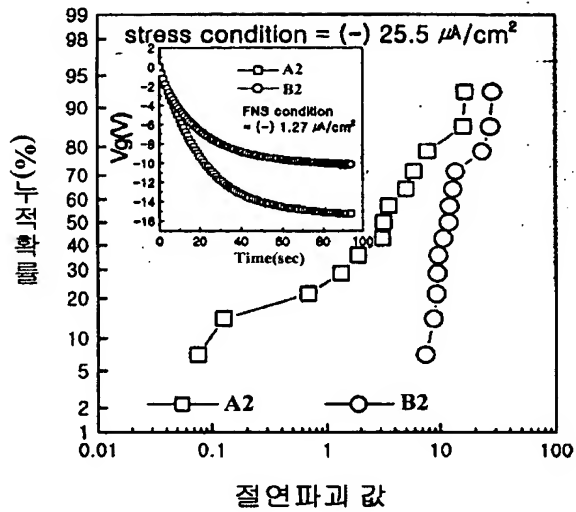
【도 3】



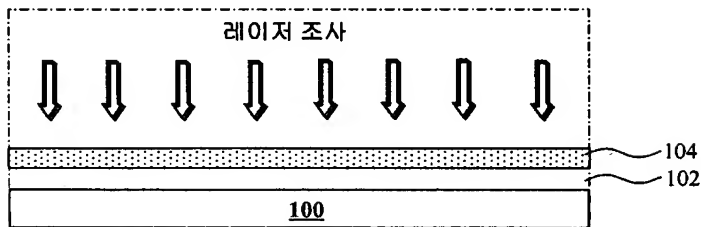
【도 4】



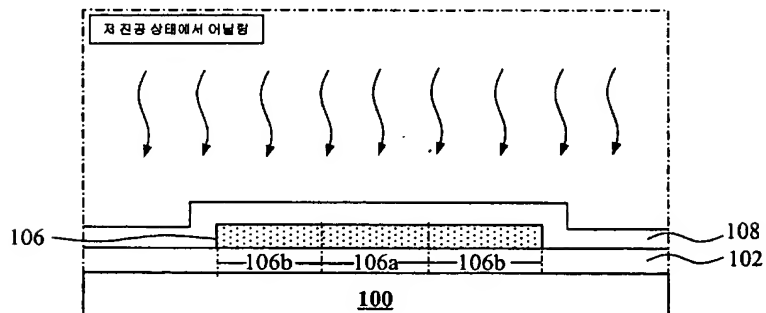
【도 5】



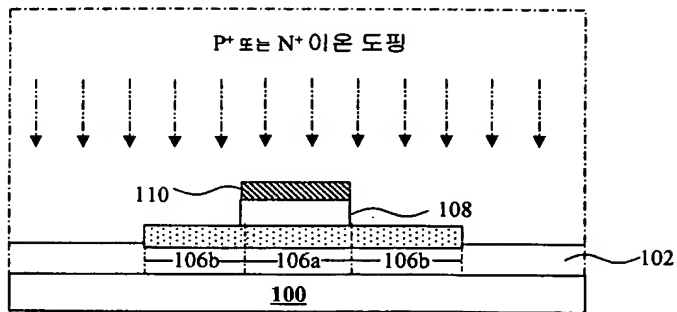
【도 6a】



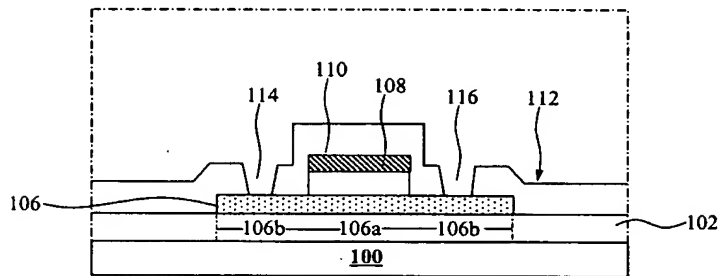
【도 6b】



【도 6c】



【도 6d】



【도 6e】

